UED Journal of Sciences, Humanities & Education – ISSN 1859 - 4603

TẠP CHÍ KHOA HỌC XÃ HỘI, NHÂN VĂN VÀ GIÁO DỤC

KẾT TINH NHIỆT ĐỘ THẤP MÀNG MỎNG SILIC VÔ ĐỊNH HÌNH TRÊN ĐIỆN CỰC CỔNG ĐÁY BẰNG CÁCH SỬ DỤNG CÁC PHƯƠNG PHÁP LỚP KÍCH THÍCH KẾT TINH YSZ VÀ KẾT TINH PHA RẮN

Nhận bài:
18 – 06 – 2016
Chấp nhận đăng:
25 – 09 – 2016
http://jshe.ued.udn.vn/

Mai Thị Kiều Liên[a*], Susumu Horita[b]

Tóm tắt: Chúng tôi đã kết tinh thành công màng mỏng silic vô định hình (a-Si) ở nhiệt độ thấp bằng việc sử dụng lớp kích thích kết tinh ôxit zicôni được ổn định bằng ôxit yttri (YSZ) kết hợp với phương pháp kết tinh pha rắn (SPC). Màng mỏng silic đa tinh thể (poly-Si) được tạo thành từ phương pháp kết tinh này có thể áp dụng cho quá trình chế tạo transitor màng mỏng (TFTs). Khả năng ứng dụng lớp YSZ như một lớp cổng cách điện cũng được khảo sát bằng các phép đo tính chất điện như đo sự phụ thuộc của điện dung vào hiệu điện thế (C-V), sự phụ thuộc của cường độ dòng điện vào hiệu điện thế (I-V). Phép đo C-V cho thấy tính chất tại mặt phân cách giữa lớp YSZ và màng poly-Si là khá tốt. Hơn nữa, hiện tượng trễ khó quan sát thấy. Phép đo I-V cho thấy dòng điện rò là tương đối thấp. Điều này có nghĩa là lớp YSZ được tin tưởng là có thể hoạt động như một lớp cách điện tương đối tốt.

Từ khóa: kết tinh pha rắn; kết tinh nhiệt độ thấp; màng mỏng silic; YSZ, silic vô định hình; silic đa tinh thể.

1. Giới thiệu

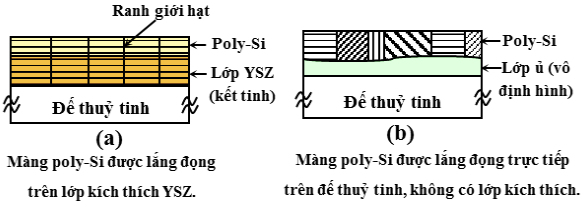
Trong vài thập kỷ trở lại đây, các tranzito màng mỏng (TFTs) thu hút rất nhiều sự chú ý trong các ứng dụng như thiết bị chuyển mạch trong hiển thị màn hình phẳng ma trận hoạt động (AM-FPD) và trong công nghệ silic trên lớp cách điện (SOI) [1]. Nhằm cải thiện các tính chất của TFTs như nâng cao độ linh động điện và độ tin cậy, và nhằm giảm bớt chi phí sản xuất để đáp ứng các yêu cầu ứng dụng, nhiều nghiên cứu về vật liệu kênh dẫn trong TFTs như ôxit, vật liệu hữu cơ, và silic kết tinh (c-Si) đã và đang được tiến hành rộng rãi. Trong đó, silic đa tinh thể (poly-Si) TFTs có nhiều lợi thế hơn hẳn về độ ổn định, độ tin cậy, và độ linh động điện cao hơn [2-4]. Để thoả mãn nhu cầu về chi phí thấp và hiệu suất cao, điều cần thiết là phải phát triển một quy trình chế tạo ở nhiệt độ thấp cho poly-Si TFTs với kích thước hạt silic (Si) kết tinh lớn và đồng đều, bề mặt màng Si bằng phẳng.

Có nhiều phương pháp chế tạo màng poly-Si ở nhiệt độ thấp trên đế thuỷ tinh như phương pháp kết tinh pha rắn (SPC) [5-7], phương pháp thúc đẩy sự hình thành hạt nhân [8-10], phương pháp nung bằng laser xung (PLA) [11-15],… Đối với phương pháp SPC, màng poly-Si chế tạo được có bề mặt bằng phẳng và kích thước hạt Si đồng đều. Tuy nhiên, phương pháp này bị hạn chế do phải tiến hành ở nhiệt độ cao và thời gian nung kéo dài. Phương pháp thúc đẩy sự hình thành hạt nhân sử dụng kim loại (MIC) có thể giải quyết các vấn đề của phương pháp SPC. Tuy nhiên, hạn chế của phương pháp này là kim loại còn sót lại sẽ là nguồn gốc gây ra dòng điện rò rỉ trong TFTs. Phương pháp PLA có thể làm giảm nhiệt độ kết tinh xuống nhiệt độ phòng và TFTs chế tạo được có kích thước hạt lớn (và do đó độ linh động điện cao). Tuy nhiên, phương pháp PLA có các hạn chế như hệ thống laser rất đắt, màng Si chế tạo được có bề mặt khá gồ ghề, và kích thước hạt không đồng đều.

Vì thế, để tạo ra màng poly-Si ở nhiệt độ thấp mà không có lớp ủ, kích thước hạt và định hướng tinh thể

[a]*Trường Đại học Sư phạm - Đại học Đà Nẵng*
[b]*Trường Khoa học Vật liệu, Viện Khoa học và Công nghệ tiên tiến Nhật Bản*
*** Liên hệ tác giả**
Mai Thị Kiều Liên
Email: mtklien@ued.udn.vn

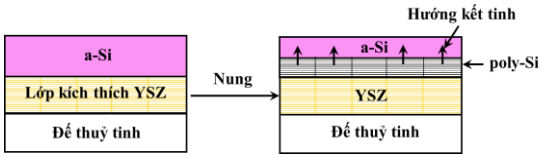
đồng đều, sự khuếch tán của tạp chất thấp và bề mặt bằng phẳng, chúng tôi đề xuất phương pháp lớp kích thích sử dụng vật liệu ôxit zicôni được ổn định bằng ôxit yttri $[(ZrO_2)_{1-x}(Y_2O_3)_x$:YSZ] [16]. Trong phương pháp này, trước hết lớp YSZ được lắng đọng trên đế thuỷ tinh, sau đó một màng Si được lắng đọng trên lớp YSZ. Hình 1(a) và 1(b) lần lượt minh hoạ mặt cắt ngang của phương pháp lớp kích thích và phương pháp truyền thống không sử dụng lớp kích thích.



Hình 1. *Sơ đồ minh hoạ màng Si được lắng đọng (a) trên lớp kích thích YSZ và (b) trực tiếp trên đế thuỷ tinh không có lớp kích thích*

Vì lớp YSZ có độ chênh lệch mạng nhỏ và cùng cấu trúc tinh thể lập phương với Si, chúng tôi sử dụng lớp YSZ là vật liệu kích thích để thúc đẩy sự kết tinh của màng mỏng Si vô định hình (a-Si) ở nhiệt độ thấp. Với phương pháp này, chúng tôi mong đợi màng poly-Si thu được từ sự kết tinh màng a-Si có cấu trúc hạt và định hướng tinh thể đồng đều nhờ vào định hướng tinh thể của lớp YSZ như minh hoạ trong Hình 1(a). Ngược lại, nếu không dùng lớp kích thích, do đế thuỷ tinh không có định hướng tinh thể nên sẽ có một số vấn đề trong quá trình kết tinh a-Si. Điển hình như trong thời gian đầu nung mẫu, màng poly-Si sẽ có lớp ủ a-Si, kích thước hạt Si không đồng đều, và có một số khuyết tật mạng như Hình 1(b). Mặt khác, phương pháp lắng đọng trực tiếp poly-Si trên lớp YSZ (tạo thành poly-Si trực tiếp mà không thông qua quá trình nung a-Si) đã cho thấy là không phù hợp cho việc ứng dụng. Điều này là do hình thái bề mặt của màng poly-Si rất gồ ghề và tạp chất zicôni (Zr) trong lớp YSZ khuếch tán vào màng Si mặc dù nhiệt độ lắng đọng trực tiếp trên thực tế thấp hơn 100°C so với không dùng lớp YSZ [17].

Để loại bỏ những hạn chế trên, chúng tôi đã sử dụng phương pháp SPC kết hợp với lớp kích thích YSZ như minh hoạ trong Hình 2. Thời gian kết tinh bằng phương pháp SPC của màng a-Si trên lớp YSZ giảm so với không dùng lớp YSZ. Hơn nữa, độ gồ ghề bề mặt và sự khuếch tán Zr cũng giảm đáng kể [18-19].



Hình 2. *Sơ đồ minh hoạ sự tạo thành màng poly-Si từ màng a-Si bằng cách sử dụng lớp kích thích YSZ kết hợp với phương pháp SPC.*

Mục đích của nghiên cứu này là khảo sát phương pháp SPC có hiệu quả với cấu trúc màng mỏng ở trên hay không. Để đạt được mục đích, chúng tôi đã thử với nhiều cấu trúc để tìm ra cấu trúc tối ưu cho phương pháp SPC. Sau đó, quá trình kết tinh được tiến hành trên cấu trúc màng tối ưu và kết quả thực nghiệm được thảo luận. Ngoài ra, các tính chất điện của màng poly-Si được khảo sát bằng các phép đo sự phụ thuộc của điện dung vào hiệu điện thế (C-V) và sự phụ thuộc của cường độ dòng điện vào hiệu điện thế (I-V). Thông qua các kết quả thu được, chúng tôi có thể xác định được lớp YSZ có phù hợp là lớp cổng cách điện hay không.

2. Quy trình thực nghiệm

Quy trình thực nghiệm được mô tả trong Hình 3. Trước tiên, đế thuỷ tinh được rửa sạch bằng phương pháp hoá học trước khi lắng đọng các lớp điện cực cổng bằng phương pháp phún xạ ở nhiệt độ 100°C. Platin (Pt) và titan (Ti) được chọn là vật liệu cho điện cực cổng. Sau đó, lớp kích thích YSZ được lắng đọng ở nhiệt độ đế 50°C bằng phương pháp phún xạ ma-nhê-tron phản ứng với agon (Ar) và oxy (O_2) lần lượt là khí phún xạ và khí phản ứng. Bia phún xạ là kim loại Zr 99.9%, trên đó có đặt 8 viên yttri (Y) 99.9% có kích thước 1×1cm^2 theo vòng tròn [20]. Để loại bỏ lớp nhiễm bẩn và hư hại trên bề mặt YSZ, mẫu được ngâm trong dung dịch pha loãng HF 5% trong 3 phút [14]. Tiếp theo, lớp a-Si được lắng đọng bằng phương pháp bay hơi dùng chùm electrôn ở 300°C, sử dụng vật liệu nguồn là viên a-Si rắn. Sau đó, sự kết tinh của màng a-Si được tiến hành trên lớp YSZ/ Pt/ Ti bằng phương pháp SPC với nhiệt độ kết tinh 560°C. Độ kết tinh của màng Si được xác định bằng máy đo phổ Raman với kích thước điểm có đường kính ~1mm. Tỉ lượng kết tinh, X, được xác định bằng công thức: $X = \left(I_\mu + I_c\right) \Big/ \left(I_\mu + I_c + I_a\right)$, trong đó I_c, I_μ, và I_a lần lượt là cường độ tích hợp của các đỉnh tinh thể Si (c-Si), vi tinh thể Si (μ-Si), và a-Si [21]. Đối với các phép đo tính

chất điện, các điện cực với các vòng tròn đường kính 200µm được tạo thành trên màng poly-Si. Cuối cùng, mẫu chế tạo được nung trong môi trường khí nitơ (N_2) ở 350°C trong 30 phút trước khi đo C-V và I-V bằng máy đo điện dung, vôn kế, và ampe kế.

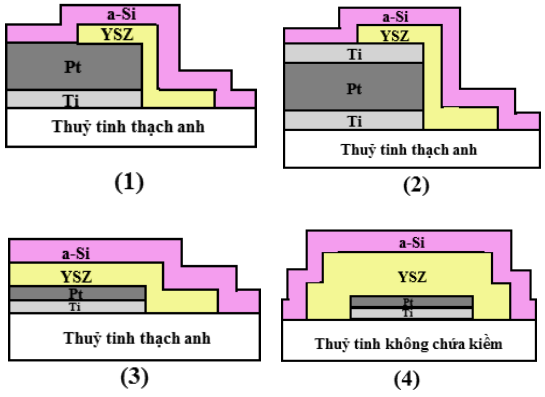
- Rửa sạch đế thuỷ tinh
- Lắng đọng Ti và Pt bằng phương pháp phún xạ
- Rửa sạch bề mặt màng Pt/Ti
- Lắng đọng lớp YSZ bằng phương pháp phún xạ
- Rửa sạch bề mặt màng YSZ/Pt/Ti
- Lắng đọng màng a-Si bằng phương pháp bốc bay chùm electrôn
- Rửa sạch bề mặt màng a-Si/YSZ/Pt/Ti
- Kết tinh màng a-Si bằng lò nung điện
- Tạo tiếp xúc điện cực cổng
- Lắng đọng lớp Al bằng phương pháp bốc bay
- Tạo điện cực bằng phương pháp in lithô
- Nung mẫu trong môi trường khí N_2 ở 350 °C, 30 phút

Hình 3. *Quy trình chế tạo mẫu*

3.Kết quả và thảo luận

3.1. Tối ưu hoá cấu trúc mẫu cho phương pháp SPC

Trong nghiên cứu này, chúng tôi chế tạo 4 loại cấu trúc màng khác nhau để tìm ra cấu trúc tối ưu cho phương pháp SPC như minh hoạ trong Hình 4.



Hình 4. *Sơ đồ cấu trúc của các mẫu chế tạo*

Cấu trúc 1: nhiều bọt bong bóng xuất hiện trên bề mặt Si/ YSZ/ Pt/ Ti và một lớp ôxit silic (SiO_x) hình thành giữa lớp YSZ và màng a-Si làm cản trở tác dụng kích thích của lớp YSZ.

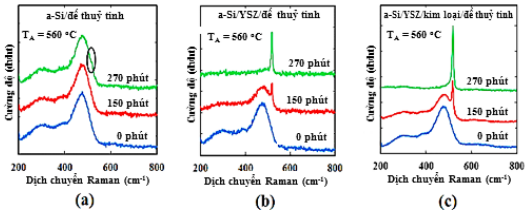
Cấu trúc 2: sự hình thành lớp ôxit silic (SiO_x) giữa màng a-Si và lớp YSZ đã giảm, nhưng bọt bong bóng vẫn xuất hiện.

Cấu trúc 3: bọt bong bóng xuất hiện ngay cả với màng kim loại mỏng hơn. Quá trình kết tinh của màng a-Si được thúc đẩy do sự khuếch tán một lượng kim loại gần vùng biên của mẫu.

Cấu trúc 4: bằng cách thay đổi đế thuỷ tinh thạch anh sang thuỷ tinh không chứa kiềm, lắng đọng lớp YSZ dày hơn (100nm) và bao phủ toàn bộ lớp kim loại, sự tạo thành bọt bong bóng đã giảm đáng kể và hiện tượng khuếch tán của kim loại làm thúc đẩy quá trình kết tinh cũng không còn. Do đó, chúng tôi chọn cấu trúc này cho quá trình SPC.

3.2. Kết tinh màng a-Si bằng phương pháp SPC

Hình 5(a), 5(b) và 5(c) lần lượt là phổ Raman của các vùng Si/đế thuỷ tinh, Si/ YSZ/ đế thuỷ tinh và Si/ YSZ/ kim loại/ đế thuỷ tinh với nhiệt độ nung T_A=560°C.

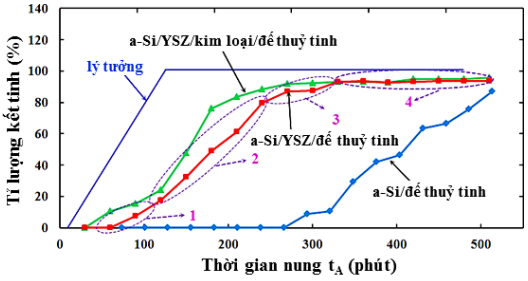


Hình 5. *Phổ Raman của (a) a-Si/ đế thuỷ tinh, (b) a-Si/ YSZ/ đế thuỷ tinh và (c) a-Si/ YSZ/ kim loại/ đế thuỷ tinh*

Từ Hình 5(b) và 5(c), chúng ta có thể thấy, đối với màng Si lắng đọng trên lớp YSZ, các đỉnh của c-Si ở số sóng khoảng 517cm^{-1} xuất hiện sau 150 phút nung. Trong khi đó, đỉnh c-Si rất nhỏ cùng với đỉnh a-Si rộng ở số sóng 480cm^{-1} xuất hiện đối với cấu trúc Si/đế thuỷ tinh sau 270 phút nung [Hình 5(a)]. Điều này cho thấy màng Si lắng đọng trên lớp YSZ được kết tinh nhanh hơn so với màng Si lắng đọng trực tiếp trên đế thuỷ tinh. Điều này thể hiện tác dụng kích thích của lớp YSZ. Hơn nữa, sự kết tinh của a-Si trên vùng YSZ/ kim loại/ đế thuỷ tinh nhanh hơn so với trên vùng YSZ/ đế thuỷ tinh. Điều này có lẽ do lớp kim loại điện cực cổng đã hấp thụ năng lượng quang học hay năng lượng nhiệt học từ lò nung. Vì thế mà nhiệt độ của màng Si cao hơn một chút so với vùng không có kim loại, và do đó thúc đẩy sự kết tinh của a-Si sau quá trình ủ liên tục.

Hình 6 cho thấy sự phụ thuộc của tỉ lượng kết tinh *X* vào thời gian nung t_A của các cấu trúc Si/ YSZ/ kim loại/ đế thuỷ tinh, Si/ YSZ/ đế thuỷ tinh, và Si/ đế thuỷ tinh. So sánh *X* của 3 cấu trúc, chúng ta có thể thấy rõ ràng rằng a-Si trên lớp YSZ bắt đầu kết tinh sớm hơn so với a-Si trực tiếp trên đế thuỷ tinh. Chúng ta cũng thấy rằng *X* của cấu trúc Si/ YSZ/ đế thuỷ tinh tăng gần như

tuyến tính với t_A. Điều này có nghĩa là quá trình kết tinh của a-Si bắt đầu từ mặt phân cách giữa màng a-Si và lớp YSZ. Tuy nhiên, các sự phụ thuộc của các cấu trúc Si/ YSZ/ kim loại/ đế thuỷ tinh và Si/ đế thuỷ tinh là không tuyến tính với t_A.



Hình 6. *Sự phụ thuộc của tỉ lượng kết tinh X vào thời gian nung t_A*

Bây giờ, chúng ta tập trung vào tỉ lượng kết tinh của cấu trúc Si/ YSZ/ đế thuỷ tinh. Về mặt lý tưởng, sự kết tinh của màng a-Si bằng phương pháp SPC kết hợp với lớp kích thích YSZ sẽ gồm một vùng tuyến tính và một vùng bão hoà như minh hoạ trong Hình 6. Vùng tuyến tính bắt đầu bằng sự nảy mầm của các đám mây c-Si và tiếp tục với quá trình kết tinh của vùng a-Si. Vùng bão hoà tương ứng với sự hoàn thành kết tinh của a-Si. Tuy nhiên, kết quả thực nghiệm cho thấy vùng không tuyến tính xuất hiện biểu thị bằng kí hiệu 1 và 3 trong Hình 6 cùng với vùng tuyến tính và bão hoà (kí hiệu 2 và 4). Sự tạo thành hạt nhân của các đám mây poly-Si được mong đợi là sẽ bắt đầu tại mặt phân cách giữa lớp YSZ và màng a-Si và *X* sẽ tuyến tính trong giai đoạn đầu của quá trình nung. Tuy nhiên, *X* lại không tuyến tính với kích thước hạt Si ~15nm. Trong khi đó, kích thước điểm của máy đo phổ Raman có đường kính ~1mm, lớn hơn rất nhiều so với kích thước hạt Si. Vì thế, các điểm đo lặp lại không thể chính xác hoàn toàn. Đây được coi là một trong những nguyên nhân dẫn đến sự xuất hiện của vùng không tuyến tính trong Hình 6.

Khi các đám mây poly-Si tại mặt phân cách giữa lớp YSZ và màng a-Si đạt đến kích thước tới hạn, tất cả vùng a-Si gần mặt phân cách sẽ được kết tinh và vùng kết tinh lớn dần lên theo hướng dọc theo bề dày của màng Si. Sự kết tinh dọc theo bề dày là nhờ vào định hướng tinh thể của lớp kích thích YSZ. Vì thế, tỉ lượng kết tinh của trạng thái này tăng tuyến tính, tương ứng với vùng 2 trong Hình 6. Khi hầu hết các đám mây poly-Si có kích thước lớn, chúng sẽ va chạm lẫn nhau và xuất hiện một vùng chuyển tiếp giữa trạng thái tuyến tính và trạng thái bão hoà, tức là vùng 3 trong Hình 6, thay vì chuyển tiếp tức thời như trường hợp lý tưởng.

Sự phụ thuộc không tuyến tính của *X* vào t_A trong cấu trúc Si/ YSZ/ kim loại/ đế thuỷ tinh có thể do sự hấp thụ tạp chất bẩn trong cấu trúc này. Đối với cấu trúc Si/đế thuỷ tinh, nguyên nhân của sự phụ thuộc không tuyến tính dường như liên quan đến sự nảy mầm ngẫu nhiên trong màng a-Si do đế thuỷ tinh không có định hướng tinh thể.

Khi quá trình kết tinh của màng a-Si hoàn thành, tỉ lượng kết tinh đạt giá trị cao và gần như không đổi, tương ứng với vùng 4 trong Hình 6. Đối với trường hợp lý tưởng, khi sự kết tinh của màng a-Si kết thúc, tỉ lượng kết tinh phải đạt 100%. Tuy nhiên, có một lượng nhỏ a-Si còn lại tại vùng ranh giới giữa các hạt và những vùng khuyết tật tinh thể cục bộ của màng Si với các liên kết lỏng lẻo trong vùng poly-Si. Vì thế, tỉ lượng kết tinh tại vùng bão hoà nhỏ hơn 100%.

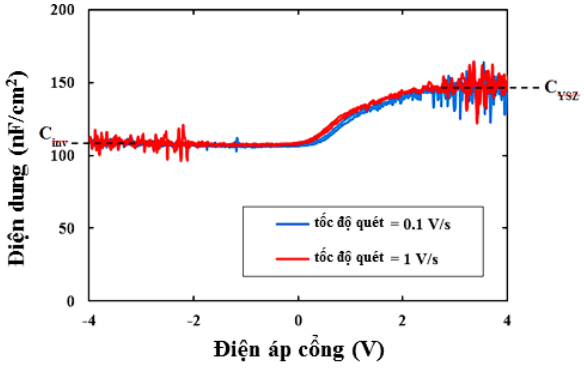
3.3. Các tính chất điện của màng poly-Si

a. Sự phụ thuộc của điện dung vào hiệu điện thế (phép đo C-V)

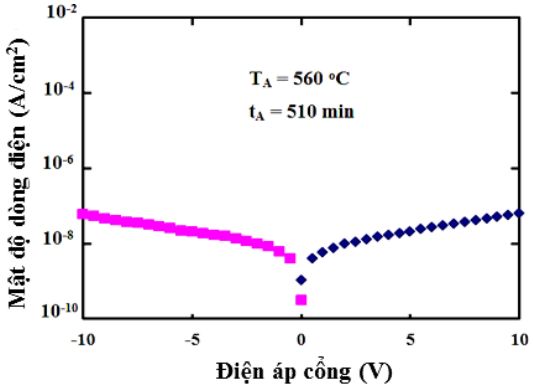
Thuộc tính C-V của màng poly-Si được đo ở tần số 1MHz với tốc độ quét 0.1 và 1V/s. Các kết quả được biểu thị trong Hình 7. Chúng ta có thể thấy được vùng tích luỹ và vùng nghịch đảo một cách rõ ràng. Hơn nữa, trạng thái chuyển tiếp giữa hai vùng này tương đối mịn và sắc nét. Điều này có nghĩa là tính chất tại mặt phân cách giữa lớp YSZ và màng poly-Si khá tốt. Hơn nữa, hiện tượng trễ hầu như không quan sát được ở cả hai tần số đo. Điều này có nghĩa là cả hai loại iôn linh động trong lớp YSZ và hạt tải được tiêm vào trong bề mặt phân cách giữa màng poly-Si và lớp YSZ là rất ít.

b. Sự phụ thuộc của cường độ dòng điện vào hiệu điện thế (phép đo I-V)

Thuộc tính I-V của màng poly-Si được khảo sát và kết quả được hiển thị trong Hình 8. Trong phép đo này, bước nhảy điện áp là 0.2V và thời gian dừng là 3 giây. Từ hình vẽ, chúng ta có thể thấy mật độ dòng điện rò là khá thấp (thấp hơn 1×10^{-7}A/cm^2) cho cả hai chiều phân cực của điện áp cổng. Điều này có nghĩa là lớp YSZ dường như là lớp cách điện khá tốt.



Hình 7. *Thuộc tính C-V của màng poly-Si*



Hình 8. *Thuộc tính J-V của màng poly-Si*

4. Kết luận

Chúng tôi đã chế tạo và kết tinh màng mỏng a-Si bằng cách sử dụng phương pháp SPC kết hợp với lớp kích thích YSZ. Kết quả cho thấy màng a-Si được kết tinh thành công từ mặt phân cách với lớp YSZ và hiệu ứng kích thích của lớp YSZ có tác dụng trên cấu trúc Si/ YSZ/ kim loại/ đế thuỷ tinh. Chúng tôi cũng thảo luận các kết quả nung và kết luận rằng sự kết tinh của màng mỏng a-Si trên lớp kim loại bằng việc sử dụng lớp kích thích YSZ kết hợp với phương pháp SPC là có thể áp dụng được cho quá trình chế tạo TFT. Thuộc tính C-V của màng poly-Si cho thấy tính chất tại mặt phân cách giữa lớp YSZ và màng poly-Si là khá tốt. Hơn nữa, hiện tượng trễ khó quan sát thấy. Phép đo I-V cho thấy dòng điện rò là tương đối thấp. Điều này có nghĩa là lớp YSZ được tin tưởng là có thể hoạt động như một lớp cách điện tương đối tốt.

Tài liệu tham khảo

[1] E. Machida et al. (2012), Crystallization to Polycrystalline Silicon Films by Underwater Laser Annealing, *The proceeding of AM-FPD'12 Conference, tr.111-114.*

[2] T. Sameshima, S. Usui, and M. Sekiya (1986), XeCl Excimer Laser Annealing used in the Fabrication of Poly-Si TFT's, *IEEE Electron Device Letters, 7, 5, tr.276-278.*

[3] S. Uchikoga and N. Ibaraki (2001), Low temperature poly-Si TFT-LCD by excimer laser anneal, *Thin Solid Films, 383, tr.19-24.*

[4] Y. W. Choi, J. N. Lee, T. W. Jang, and B. T. Ahn (1999), Thin-film transistors fabricated with poly-Si films crystallized at low temperature by microwave annealing, *IEEE Electron Device Letters, 20, tr.2-4.*

[5] K. Pangal, J. C. Sturm, S. Wagner, and T. H. Buyuklimanli (1999), Hydrogen plasma enhanced crystallization of hydrogenated amorphous silicon films, *J. Appl. Phys., 85, tr.1900.*

[6] R. Kakkad et al. (1989), Crystallized Si films by low-temperature rapid thermal annealing of amorphous silicon, *J. Appl. Phys., 65, 5, tr.2069-2072.*

[7] G. Liu and S. J. Fonash (1989), Selective area crystallization of amorphous silicon films by low temperature rapid thermal annealing, *Appl. Phys. Lett., 55, 7, tr.660-662.*

[8] R. C. Cammarata, C. V. Thompson, C. Hayzelden, and K. N. Tu (1990), Silicide precipitation and silicon crystallization in nickel implanted amorphous silicon thin films, *Journal of Material Research, 5, tr.2133-2138.*

[9] S. Y. Yoon et al. (1997), Low temperature metal induced crystallization of amorphous silicon using a Ni solution, *J. Appl. Phys., 82, 11, tr.5865-5867.*

[10] G. Radnoczi et al. (1991), Al induced crystallization of a-Si, *J. Appl. Phys., 69, 9, tr.6394-6399.*

[11] N. H. Nickel (2003), Laser crystallization of silicon, *Elsevier, vol. 75.*

[12] R. A. Lemons et al. (1982), Laser crystallization of Si films on glass, *Appl. Phys. Lett., 40, tr.469.*

[13] T. E. Dyer et al. (1993), Polysilicon produced by excimer (ArF) laser crystallisation and low-temperature (600°C) furnace crystallisation of hydrogenated amorphous silicon (a-Si:H), *J. Non-Cryst. Solids, 164-166, tr.1001-1004.*

[14] T. Sameshima, M. Hara, and S. Usui (1989), Measuring the Temperature of a Quartz Substrate during and after the Pulsed Laser-Induced Crystallization of a-Si:H, *Jpn. J. Appl. Phys., 28, 12, tr.L2131-L2133.*

[15] J. C. C. Fan and H. J. Zeiger (1975), Crystallization of amorphous silicon films by Nd:YAG laser heating, *Appl. Phys. Lett. 27, 4, tr.224-226.*

[16] S. Horita et al. (2006), Fabrication of Crystallized Si Film Deposited on a Polycrystalline YSZ Film/Glass Substrate at 500°C, *MRS, 910, tr.557.*

[17] S. Horita and S. Hana (2010), Low-Temperature Crystallization of Silicon Films Directly Deposited on Glass Substrates Covered with Yttria-Stabilized Zirconia Layers, *Jpn. J. Appl. Phys., 49, 105801, tr.1-11.*

[18] S. Hana, T. Akahori, and S. Horita (2009), *The Proceeding of IDW'9, FMC1-1, tr.271.*

[19] S. Horita and T. Akahori (2010), *Abst. (7th Annual Meet.); Thin Film Materials & Devices Meeting, 6P12 [in Japanese].*

[20] S. Hana, K. Nishioka, and S. Horita (2009), Enhancement of the crystalline quality of reactively sputtered yttria-stabilized zirconia by oxidation of the metallic target surface, *Thin Solid Films, 517, tr.5830-5836.*

[21] S. Ray, S. Mukhopadhyay, T. Jana, and R. Carius (2002), Transition from amorphous to microcrystalline Si:H: effects of substrate temperature and hydrogen dilution, *J. Non-Cryst. Solids, 299–302, tr.761-766.*

LOW-TEMPERATURE CRYSTALLIZATION OF AMORPHOUS SILICON THIN FILMS ON BOTTOM GATE ELECTRODES BY USING YSZ CRYSTALLIZATION-INDUCTION LAYER AND SOLID-PHASE CRYSTALLIZATION METHODS

Abstract: We have successfully crystallized amorphous silicon (a-Si) thin films at a low temperature by using the crystallization-induction layer of yttria stabilized zirconia (YSZ) in combination with solid-phase crystallization (SPC) methods. The obtained polycrystalline silicon (poly-Si) thin films via these methods can be implemented in TFTs fabrication. The capability of using the YSZ layer as an insulation gate was also investigated by means of electrical property measurements like the dependence of capacity on voltage (C-V), and the dependence of eclectric current power on voltage (I-V). The C-V measurement showed that interface properties between the YSZ layer and the crystallized Si film were relatively good. Moreover, hysteresis loops were hardly observed. The I-V measurement showed a relatively low leakage current. This means that the YSZ layer can operate reliably as a comparatively good insulator.

Key words: solid-phase crystallization; low-temperature crystallization; silicon thin film; amorphous silicon; polycrystalline silicon.